

# JP4316339A

Publication Title:

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Abstract:

Abstract of JP 4316339

(A) Translate this text PURPOSE:To prevent one portion of a thick-film wiring from being exposed even if an opening is formed on a bonding pad by enabling a surface to be flattened, etc., by forming a polyimide resin film for two times when using the polyimide resin as a protection film of wiring. CONSTITUTION:After forming wirings 3 and 5 on a semiconductor substrate 1, a first polyimide resin film 7A is formed on an entire surface and then the surface is eliminated by performing etching after heat treatment. Then, a second polyimide resin film 7B is formed on an entire surface including the first polyimide film 7A where the surface is eliminated. For example, the thick-film wiring 5 and a bonding pad 6 are formed, the first polyimide resin film 7A is formed, and then heat treatment is performed, thus enabling an entire surface of the first polyimide resin film 7A to be etched. Then, after coating a second polyimide resin film 7B on an entire surface, heat treatment is performed, a positive type photoresist film 8 is formed, and then only a portion of the bonding pad 6 is exposed by using a photo mask 9 for development.

---

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-316339

(43) 公開日 平成4年(1992)11月6日

(51) Int.Cl.<sup>5</sup>

H 01 L 21/60  
21/3205

識別記号 庁内整理番号  
301 P 6918-4M

F I

技術表示箇所

7353-4M

H 01 L 21/88

B

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号

特願平3-82792

(22) 出願日

平成3年(1991)4月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 富男

東京都港区芝五丁目7番1号日本電気株式  
会社内

(74) 代理人 弁理士 内原 晋

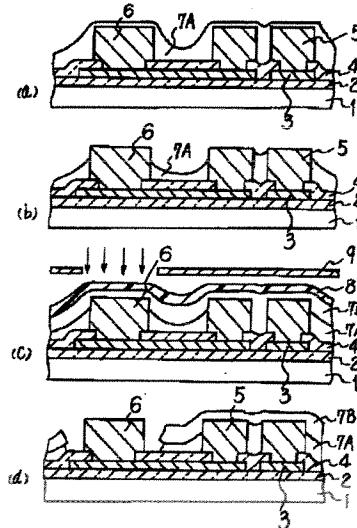
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【構成】 半導体基板1上に厚膜配線5及びボンディングパッド6を形成したのち第1のポリイミド樹脂膜7Aを形成する。次で熱処理を行ったのち第1のポリイミド樹脂膜7Aの表面をエッチングし除去する。次に全面に第2のポリイミド樹脂膜7Bを形成したのちバターニングし、ボンディングパッド6上のポリイミド樹脂膜を除去する。

【効果】 表面保護膜としてのポリイミド樹脂膜を均一に形成できるため、ボンディングパッド上に開口部を形成する時、従来のように厚膜配線の一部が露出することはなくなる。

1: 半導体基板  
2: 熱処理  
3: 下層配線  
4: 開口部  
5: 厚膜配線  
6: ボンディングパッド  
7A: 第1ポリイミド樹脂膜  
7B: 第2ポリイミド樹脂膜  
8: フォトレジスト膜  
9: フォトマスク



## 【特許請求の範囲】

【請求項1】 半導体基板上に配線を形成したのち全面に第1のポリイミド樹脂膜を形成する工程と、前記第1のポリイミド樹脂膜を熱処理したのちエッチングしその表面を除去する工程と、表面が除去された前記第1のポリイミド樹脂膜を含む全面に第2のポリイミド樹脂膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に表面保護膜の形成方法に関する。

## 【0002】

【従来の技術】 半導体基板上にアルミニウム又は金等の金属を用いて配線を形成した後、表面に保護膜を形成する時、多層配線の最上層が金配線等の化学的に安定な金属である場合は、表面は機械的に保護されていればよい。したがって、ポリイミド樹脂等の塗布膜を用いる場合が多い。従来、ポリイミド樹脂を表面保護膜として使用する場合のポリイミド樹脂膜のパターン形成は、フォトレジストをマスクとしてヒドラジン等の薬品によるエッチング除去法、ポジ型レジストを用いてレジスト現像時に同時にポリイミド樹脂をアルカリ液で除去してパターンを形成する方法及び感光性ポリイミド樹脂を用いる方法が用いられていた。

## 【0003】

【発明が解決しようとする課題】 最近の超高速演算処理用論理素子等では、回路を高速で動作させるため大電流を流す必要がある。そのため、金等を用いた厚膜配線を形成している。このような場合に従来のポリイミド樹脂を用いた保護膜の形成方法を図面を用いて説明する。

【0004】 まず図3 (a) に示すように、半導体基板1に各素子を形成したのち、酸化膜2を介して下層配線3を形成する。次で層間絶縁膜4を形成したのち開口部を形成し、厚膜配線5とボンディングパッド6を形成する。次にポリイミド樹脂膜7を塗布し、約150°Cで熱処理する。続いてフォトレジスト膜8を塗布した後、フォトマスク9を用いてボンディングパッド6上のフォトレジスト膜8を露光し現像して除去する。この時、フォトレジスト膜8の下のポリイミド樹脂膜7をアルカリ現像液で同時にエッチングし開口する。しかし、厚膜配線5の上端部はフォトレジスト膜8で十分におおうことができないため、内部配線を構成する厚膜配線5上のポリイミド樹脂膜7のコーナー部も同時にエッチングされ図3 (b) に示すように厚膜配線5が露出する。したがってこの部分に後工程でごみ等が付着するとショート等の不良を起し半導体装置の信頼性及び歩留りを低下させるという問題があった。これは、ヒドラジンでエッチングする場合も同様である。

【0005】 上記問題を解決するため、ポリイミド樹脂

を2回塗布する方法があるが、ボンディングパッド上のポリイミド樹脂膜が厚くなり、又下層ポリイミド樹脂の熱処理時間が大幅に長くなるため、ボンディングパッド開口時のエッチングが非常にむずかしくなる。また、感光性ポリイミド樹脂を使用する場合は、厚膜配線の露出の心配はないが、ポリイミド樹脂膜の現像時の残渣のため、ボンディングパッド上にボンディングされるワイヤのボンディング強度が低下するという問題がある。

## 【0006】

10 【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上に配線を形成したのち全面に第1のポリイミド樹脂膜を形成する工程と、前記第1のポリイミド樹脂膜を熱処理したのちエッチングしその表面を除去する工程と、表面が除去された前記第1のポリイミド樹脂膜を含む全面に第2のポリイミド樹脂膜を形成する工程とを含むものである。

## 【0007】

【実施例】 次に本発明について図面を参照して説明する。図1 (a) ~ (d) は本発明の第1の実施例を説明するための半導体チップの断面図である。

20 【0008】 まず図1 (a) に示すように、半導体基板1上に回路素子を形成したのち酸化膜2を介して下層配線3と層間絶縁膜4を形成する。次で層間絶縁膜4に開口部を形成した後、厚膜配線5及びボンディングパッド6を形成する。この配線等は配線抵抗を下げるため、10 ~ 20 μmの厚さに形成する。続いて第1のポリイミド樹脂膜7 Aを厚さ約3 μmに形成したのち、約150°Cで30 ~ 60分熱処理をおこなう。次に図1 (b) に示すように、ポジ型フォトレジスト用のアルカリ現像液で第1のポリイミド樹脂膜7 Aの表面を約4 μm全面エッチングする。この時、熱処理条件によりエッチングレートが大きく変動するので温度を±1°C程度にコントロールする必要がある。厚膜配線5の両側には第1のポリイミド樹脂膜7 Aの塗布時に膜厚が非常に厚くなっているため、約4 μm程度の全面エッチングでは、コーナー部に第1のポリイミド樹脂膜7 Aがかなり残る。

30 【0009】 次に図1 (c) に示すように、全面に第2のポリイミド樹脂膜7 Bを約3 μmの厚さに塗布する。こうすることによって表面を平坦化できる。その後約150°Cで30 ~ 60分熱処理をおこない、ポジ型フォト

40 レジスト膜8を塗布法で形成し、フォトマスク9を用いてボンディングパッド6の部分のみ露光する。次で図1 (d) に示すように、フォトレジスト膜8と第1及び第2のポリイミド樹脂膜7 A, 7 Bをアルカリ現像液で除去する。この時、第2のポリイミド樹脂膜7 Bの表面は平坦化されているため、厚膜配線5のコーナー部が図3に示したようにエッチングされることはない。

【0010】 図2 (a) ~ (c) は本発明の第2の実施例を説明するための半導体チップの断面図である。まず図2 (a) に示すように、第1の実施例と同様に、厚膜

配線5及びボンディングパッド6上に第1のポリイミド樹脂膜7Aを形成したのち、熱処理及びエッティングをおこなう。続いて約250℃で60分熱処理をおこない残った第1のポリイミド樹脂膜7Aを硬化させる。次に図2(b)に示すように、全面に第2のポリイミド樹脂膜7Bを塗布して表面を平坦化する。次でフォトレジスト膜8を形成したのちフォトマスク9を用い、露光・現像し、図2(c)に示すようにボンディングパッド6上に開口部を形成する。

【0011】本第2の実施例では、下層の第1のポリイミド樹脂膜7Aは十分熱処理されているため、ボンディングパッド6上の開口部形成時にもエッティングされない。このためボンディングパッド6の下部を第1のポリイミド樹脂膜7Aで固定することができ、ボンディングパッド6の機械的強度が大幅に向上するという利点がある。

#### 【0012】

【発明の効果】以上説明したように本発明は、厚膜配線の表面保護膜にポリイミド樹脂を使用する場合、ポリイミド樹脂膜を2回に分けて形成し、表面を平坦化しているため、開口部を形成しても厚膜配線の一部が露出する

ことはなくなる。従って半導体装置の信頼性及び歩留りは向上する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための半導体チップの断面図。

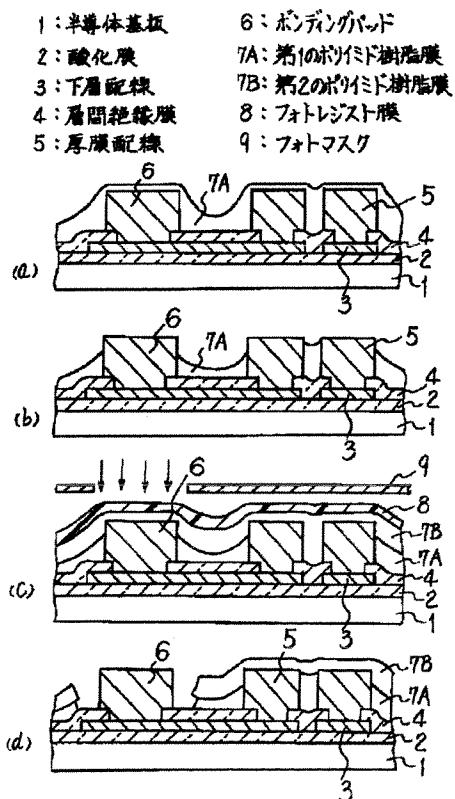
【図2】本発明の第2の実施例を説明するための半導体チップの断面図。

【図3】従来の半導体装置の製造方法を説明するための半導体チップの断面図。

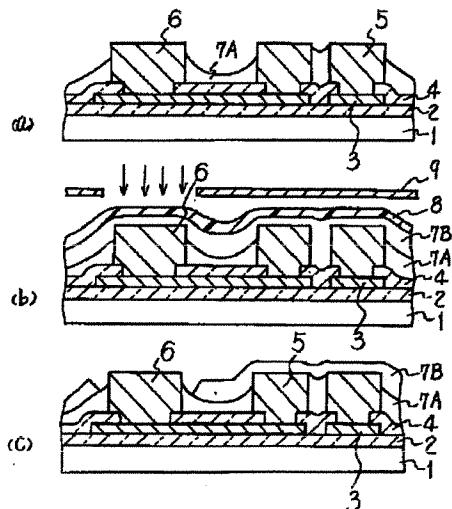
#### 【符号の説明】

|    |             |
|----|-------------|
| 1  | 半導体基板       |
| 2  | 酸化膜         |
| 3  | 下層配線        |
| 4  | 層間絶縁膜       |
| 5  | 厚膜配線        |
| 6  | ボンディングパッド   |
| 7  | ポリイミド樹脂膜    |
| 7A | 第1のポリイミド樹脂膜 |
| 7B | 第2のポリイミド樹脂膜 |
| 8  | フォトレジスト膜    |
| 9  | フォトマスク      |

【図1】



【図2】



[図3]

